

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2006 年 4 月 6 日 (06.04.2006)

PCT

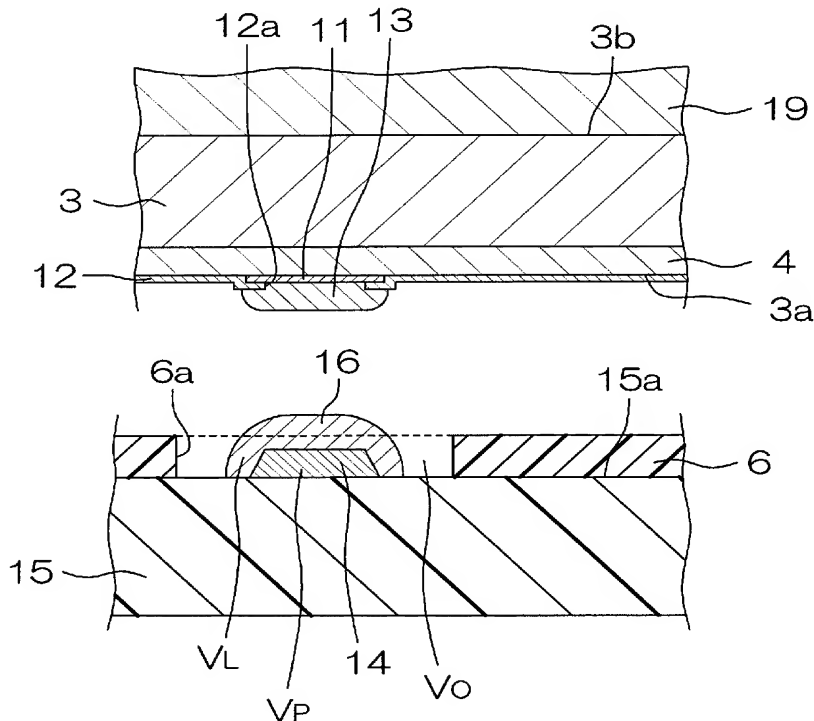
(10) 国際公開番号  
WO 2006/035548 A1

- (51) 国際特許分類<sup>7</sup>: H01L 21/60, H05K 3/34 (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン NBF タワー 2 1 階 あい特許事務所内 Osaka (JP).
- (21) 国際出願番号: PCT/JP2005/014294
- (22) 国際出願日: 2005 年 8 月 4 日 (04.08.2005)
- (25) 国際出願の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2004-284681 2004 年 9 月 29 日 (29.09.2004) JP (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 谷田 一真 (TANIDA, Kazumasa) [JP/JP]; 〒2770011 千葉県柏市東上町 9-2-207 Chiba (JP). 宮田 修 (MIYATA, Osamu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

[続葉有]

(54) Title: WIRING BOARD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 配線基板および半導体装置



(57) Abstract: On a wiring board (2, 15), a semiconductor chip (3) is bonded with its front plane facing the wiring board. The wiring board includes a connecting electrode (14), which is formed for connection with the semiconductor chip, on a bonding plane (2a, 15a) whereupon the semiconductor chip is to be bonded, an insulating film (6) formed on the bonding plane with an opening (6a) for exposing the connecting electrode, and a low melting point metal part (16) provided on the connecting electrode in the opening. The low melting point metal part is composed of a low melting point metal material having a lower solidus temperature than that of the connecting electrode.

(57) 要約: 半導体チップ(3)がその表面を対向させて接合される配線基板(2,15)であって、半導体チップが接合される接合面(2a,15a)に形成され、当該半導体チップとの接続のための接続電極(14)と、上記接合面に形成され、上記接続電極を露出させるための開口(6a)を有する絶縁膜(6)と、上記開口内において

上記接続電極上に設けられた低融点金属部(16)とを含む、配線基板。上記低融点金属部は、上記接続電極よりも固相線温度の低い低融点金属材料からなる。

WO 2006/035548 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 明 細 書

### 配線基板および半導体装置

#### 技術分野

- [0001] この発明は、半導体チップがフリップチップ接続される配線基板、およびこの配線基板に半導体チップをフリップチップ接続してなる半導体装置に関する。

#### 背景技術

- [0002] 半導体装置の小型化および高密度実装のために、半導体チップの機能素子が形成された機能面を固体装置に対向させて、半導体チップを固体装置に接続するフリップチップ接続構造が注目されている。

図6は、フリップチップ接続構造を有する半導体装置の図解的な断面図である。この半導体装置51は、配線基板52と、機能素子54が形成された機能面53aを、配線基板52の接合面52aに対向させて接続された半導体チップ53とを備えている。

- [0003] 配線基板52の接合面52aには、複数の接続電極55が形成されている。また、配線基板52の接合面52aには、その接合面52aと半導体チップ53の機能面53aとの間隔より小さい厚みを有するソルダレジスト膜56が形成されている。ソルダレジスト膜56には、接続電極55を個々に露出させるための複数の開口56aが形成されている。

半導体チップ53の機能面53aには、機能素子54と電氣的に接続された複数の電極パッド57が形成されている。電極パッド57は、機能面53aを覆う表面保護膜59に形成された開口59aから露出している。また、各電極パッド57の上には、突起電極58が、表面保護膜59の表面から突出して形成されている。

- [0004] 配線基板52の接合面52aに形成された接続電極55と、半導体チップ53の機能面53aに形成された突起電極58とは、電極パッド57、接続電極55および突起電極58より固相線温度(融点)が低い低融点金属からなる接合材60を介して接続されている。この接合材60は、半導体チップ53の突起電極58上に配置される半田ボールが、その半導体チップ53と配線基板52との接合時に熔融して形成される。

- [0005] そして、配線基板52と半導体チップ53との間に存在する空隙は、アンダーフィル層63で埋められている。

図7は、従来の半導体装置51の製造方法を説明するための図解的な断面図である。

まず、配線基板52が、接合面52aを上方に向けられて、ほぼ水平な姿勢で保持される。そして、ヒータを内蔵して加熱することが可能なボンディングツール62により、半導体チップ53が、機能面53aと反対側の面である裏面53bを吸着されて、保持される。半導体チップ53は、機能面53aを下方に向けられて、配線基板52の接合面52aに対向される。半導体チップ53の機能面53aには、接続電極55に対応する半田ボール61が形成されている。

[0006] 続いて、半導体チップ53の半田ボール61が配線基板52の接続電極55に当接可能なように位置を合わされた後、ボンディングツール62が下降され、半導体チップ53が配線基板52に接合される。この際、ボンディングツール62により、半導体チップ53が加熱され、この熱により、半田ボール61が熔融される。その後、ボンディングツール62による加熱が停止され、半田ボール61は接続電極55と突起電極58とを電氣的に接続する接合材60となる。

[0007] さらに、未硬化(液状)のアンダーフィル材が、配線基板52と半導体チップ53との隙間に充填された後、硬化させるための処理が行われ、配線基板52と半導体チップ53との隙間にアンダーフィル層63が形成される。これにより、図6に示す半導体装置51が得られる。

このような半導体装置およびその製造方法は、下記文献に開示されている。

[0008] ところが、配線基板52の接続電極55や半導体チップ53の半田ボール61は、高さばらつきを有するため、接続電極55と突起電極58とを確実に接合するためには、接合時に、半導体チップ53に大きな荷重をかけなければならない。このため、熔融した半田ボール61が、接合面52a(機能面53a)に沿う方向に広がる。その結果、接合面52aの面内方向に隣接する接続電極55同士(機能面53aの面内方向に隣接する突起電極58同士)が、接合材60により電氣的に短絡されて、ショート不良が生ずるという不具合があった。

[0009] また、アンダーフィル層63の形成は、半導体チップ53を配線基板52に接合する前に、未硬化のアンダーフィル材を接合面52a上に塗布し、半導体チップ53を配線基

板52に接続した後に硬化することにより行われることがある。この場合、接続電極55に半田ボール61を接触させるために、半導体チップ53は、ボンディングツール62により、未硬化のアンダーフィル材が存在しない場合と比べて大きな力で配線基板52に押しつけられる。

- [0010] この状態で、半導体チップ53がボンディングツール62により加熱され、半田ボール61の融液が生ずると、この融液は、容易に接合面52aの面内方向に広がるから、この融液が固化して形成される接合材60により、この面内方向に隣接する接続電極55や突起電極58が電氣的に短絡されて、ショート不良が生じやすい。

非特許文献1: Chua Khoon Lam、他1名、"Assembly and Reliability Performance of Flip Chip with No-flow Underfills", 2003 Electronics Packaging Technology Conference, p.336-341

## 発明の開示

### 発明が解決しようとする課題

- [0011] この発明の目的は、半導体チップとの電氣的接続のための接続電極間での短絡を防止することができる配線基板およびそれを用いた半導体装置を提供することである。

### 課題を解決するための手段

- [0012] この発明の配線基板は、半導体チップがその表面を対向させて接合される配線基板であって、半導体チップが接合される接合面に形成され、当該半導体チップとの接続のための接続電極と、上記接合面に形成され、上記接続電極を露出させるための開口を有する絶縁膜と、上記開口内において上記接続電極上に設けられ、上記接続電極よりも固相線温度の低い低融点金属材料からなる低融点金属部とを含む。
- [0013] この発明によれば、半導体チップとの接合面において、その最表面の絶縁膜に接続電極を露出させるための開口が形成され、その開口内に低融点金属部が配置されている。そのため、半導体チップとの接続の際、この配線基板を低融点金属部の固相線温度以上の温度に加熱して、低融点金属部の融液を生じさせることができる。この融液が固化して形成される接合材を介して、配線基板の接続電極と半導体チップとの電氣的接続を達成できる。

[0014] このとき、低融点金属部の融液が生じて、この融液を開口内にとどめることができ、開口から溢れることを防止することができる。そのため、接合面15aの面内方向に隣接する接続電極が、その溶融した低融点金属部によって短絡されることを防止できる。

この配線基板に半導体チップを接合する際、上記配線基板は上記接合面を上方に向けて保持されることが好ましい。この場合、接合の際、低融点金属部がその固相線温度以上の温度に加熱されて融液を生じたとしても、この融液は、重力の作用により下方に流れようとするから、絶縁膜の開口内に收容される。

[0015] 絶縁膜は、たとえば、ソルダレジストであってもよい。

上記開口内の容積は、上記接続電極の体積と上記低融点金属部の体積との和よりも大きくされていてもよい。

この構成によれば、開口内において、接続電極により占められる空間の残余の空間の容積は、低融点金属部の体積より大きい。低融点金属部の体積と、この低融点金属部が溶融および固化して得られる接合材の体積とは等しいので、開口は、この接合材の全量を收容し得る容積を有している。このため、低融点金属部やその融液は、接合時に開口内に收容され、接合面の面内方向に隣接する接続電極や突起電極へ移動しない。したがって、この配線基板は、半導体チップとの接合時に、ショート不良が生じることを防止できる。

[0016] ここで、低融点金属部の体積は、固相の状態における体積だけでなく、液相の状態における体積を含むものとする。

低融点金属部は、たとえば、めっきにより接続電極上に形成することができる。この場合、めっき時間やめっき電流を制御してめっき厚を制御することにより、低融点金属部の体積を所定の体積にすることができる。

[0017] また、低融点金属部は、接続電極上に半田ペースト(クリーム半田)を塗布した後、配線基板を加熱して半田ペースト中の有機物(フラックス、溶媒等)を飛散させるとともに、半田ペースト中の半田粉末を溶融および固化させることにより形成されてもよい。この場合、半田ペーストの塗布量を制御することにより、低融点金属部の体積を所定の体積にすることができる。すなわち、この場合における低融点金属部の体積とは

、半田ペーストの体積ではなく、半田ペーストを構成する半田粉末が溶融および固化されて得られる半田材の体積を意味する。

[0018] この発明の半導体装置は、配線基板と、機能素子が形成された表面にその機能素子と電氣的に接続された突起電極を有し、上記配線基板の接合面に対して表面を対向させて接合される半導体チップとを含む。上記配線基板は、上記接合面に形成され、当該半導体チップとの接続のための接続電極と、上記接合面に形成され、上記接続電極を露出させるための開口を有する絶縁膜と、上記開口内において上記接続電極上に設けられ、上記接続電極よりも固相線温度の低い低融点金属材料からなる低融点金属部とを有する。

[0019] 上記開口内の容積は、上記接続電極の体積と上記低融点金属部の体積との和よりも大きくされていてもよい。

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

#### 図面の簡単な説明

[0020] [図1]本発明の一実施形態に係る半導体装置の構造を示す図解的な断面図である。

[図2]図1に示す半導体装置の接続部材周辺を拡大して示す図解的な断面図である。

[図3]図1に示す半導体装置の製造方法を説明するための図解的な平面図である。

[図4]図1に示す半導体装置の製造方法を説明するための図解的な断面図である。

[図5]図1に示す半導体装置の変形例を示す図解的な断面図である。

[図6]フリップチップ接続構造を有する半導体装置の構造を示す図解的な断面図である。

[図7]図6に示す半導体装置の製造方法を説明するための図解的な断面図である。

#### 発明を実施するための最良の形態

[0021] 図1は、本発明の一実施形態に係る半導体装置の図解的な断面図である。この半導体装置1は、配線基板2と、機能素子4が形成された機能面3aを配線基板2の表面(以下、「接合面」という。)2aに、対向させて接続された半導体チップ3とを含んでいる。

配線基板2の接合面2aには、複数の接続電極14(図2ないし図4参照)が形成されており、配線基板2と半導体チップ3とは、接続電極14をそれぞれ含む複数の接続部材5によって、所定間隔を保つように接合され、かつ電氣的に接続されている。

[0022] 配線基板2の接合面2aには、その接合面2aと半導体チップ3との間隔より小さい厚みを有するソルダレジスト膜6が形成されている。このソルダレジスト膜6により、配線基板2の接合面2aに形成されている配線間での電氣的短絡が防止されている。このソルダレジスト膜6には、接続電極14を個々に露出させる複数の開口6aが形成されている。接続部材5は、開口6a内において接続電極14と接続される。

[0023] 配線基板2と半導体チップ3との隙間(配線基板2と半導体チップ3との間であって、接合面2aを垂直に見下ろす平面視において、半導体チップ3と重なる領域)には、アンダーフィル層7が配置されている。アンダーフィル層7によって、配線基板2と半導体チップ3との隙間が封止されるとともに、機能面3aや接続部材5が保護されている。

配線基板2の端部には、図示しない配線により接続部材5と電氣的に接続された端面電極8が形成されている。端面電極8は、配線基板2の接合面2aから端面を経て、接合面2aの反対側の外部接続面2bに至るように形成されている。この半導体装置1は、端面電極8において、他の配線基板(実装基板)との電氣的接続を達成することができる。

[0024] 図2は、半導体装置1の接続部材5周辺を拡大して示す図解的な断面図である。

半導体チップ3の機能面3aには、機能素子4に電氣的に接続され、アルミニウム(A1)からなる複数の電極パッド11が形成されている。電極パッド11は、機能面3aを覆う表面保護膜12に形成された開口12aから露出している。表面保護膜12は、たとえば、窒化シリコン(パッシベーション膜)やポリイミドからなる。また、各電極パッド11の上には、突起電極13が、表面保護膜12から突出して形成されている。突起電極13は、たとえば、無電解ニッケル(Ni)めっきおよび無電解金(Au)めっきにより形成されていてもよく、電解銅(Cu)めっきや電解金めっきにより形成されていてもよい。

[0025] 接合面2a上に形成された各接続電極14は、半導体チップ3の機能面3aに形成された複数の電極パッド11(突起電極13)のそれぞれに対応する位置に形成されている。接続電極14は、たとえば、銅パッド14Aの表面をニッケル／金めっき層14Bで被



覆した構成を有している。

複数の突起電極13と、対応する各接続電極14とは、それぞれ接合材10により機械的に接合されており、かつ、電氣的に接続されている。接合材10は、電極パッド11、突起電極13および接続電極14より固相線温度が低い低融点金属、たとえば、スズ(Sn)、インジウム(In)やそれらの合金からなる。

[0026] 接続電極14、突起電極13および接合材10により、接続部材5が構成されている。

図3は、半導体装置1の製造方法を説明するための図解的な平面図であり、図4は、その切断線IV-IVによる図解的な断面図である。図3では、半導体チップ3の図示を省略している。

半導体装置1は、たとえば、配線基板2の接合面2aに対して、半導体チップ3を、その機能面3aを対向させて接合した後、配線基板2と半導体チップ3との間隙に液状のアンダーフィル材を注入し、そのアンダーフィル材を硬化させてアンダーフィル層7を形成することによって得られる。

[0027] 具体的には、まず、機能面3aに電極パッド11、表面保護膜12および突起電極13が形成された半導体チップ3が用意される。図4を参照して、この半導体チップ3の機能面3a側には、従来の半導体装置51の製造方法における半田ボール61(図7参照)に対応する部材は設けられておらず、突起電極13は、その表面が露出されて表面保護膜12から突出している。

[0028] そして、複数の配線基板2が作り込まれた基板15が用意される。基板15の接合面15a(配線基板2の接合面2a)には、各接続電極14を覆うように低融点金属膜16が形成されている。

低融点金属膜16は、半導体装置1の接合材10とほぼ同じ組成の金属材料からなる。すなわち、低融点金属膜16の固相線温度は、電極パッド11、突起電極13まらびに接続電極14(銅パッド14Aおよびニッケル/金めっき層14B)の固相線温度より低い。

[0029] 低融点金属膜16は、たとえば、めっきにより接続電極14上に形成することができる。また、低融点金属膜16は、接続電極14上に半田ペースト(クリーム半田)を塗布した後、基板15を加熱して当該半田ペースト中の有機物(フラックス、溶媒等)を飛散さ

せるとともに、当該半田ペースト中の半田粉末を溶融および固化させることにより形成することもできる。

[0030] 接続電極14および開口6aは、たとえば、接合面15aを垂直に見下ろす平面視において、ほぼ正方形の形状を有しており、接続電極14は、開口6aのほぼ中部に配置されている(図3参照)。接続電極14および開口6aは、接合面15aを垂直に見下ろす平面視において、正方形以外の多角形や円形の形状を有していてもよい。接続電極14からは、端面電極8(図1参照)に接続された配線17が延びている。配線17は、接続電極14との接続部付近を除き、ソルダレジスト膜6に覆われている。

[0031] 接合面15aを垂直に見下ろす平面視において、低融点金属膜16は、たとえば、ほぼ正方形の形状を有しており、開口6aの形成領域内に存在している。低融点金属膜16は、接合面15aを垂直に見下ろす平面視において、正方形以外の多角形や円形の形状を有していてもよい。

各開口6aは、その容積 $V_o$ が、その開口6a内に配置される接続電極14の体積 $V_p$ と低融点金属膜16の体積 $V_L$ との和より大きいように形成されている(下記数式(1)参照)。

[0032]  $V_o > V_L + V_p$  (1)

なお、融液(液相)を含む状態における低融点金属膜16の体積が、固相の状態における低融点金属膜16の体積より大きい場合は、上記数式(1)における低融点金属膜16の体積 $V_L$ は、液相を含む状態における低融点金属膜16の体積である。

低融点金属膜16が、めっきにより形成される場合、めっき電流(電解めっきの場合)やめっき時間によりめっき厚を制御することにより、低融点金属膜16の体積 $V_L$ を所定の体積にすることができる。

[0033] また、低融点金属膜16が、半田ペーストを用いて形成される場合、半田ペーストの塗布量を制御することにより、低融点金属膜16の体積 $V_L$ を所定の体積にすることができる。この場合における低融点金属膜16の体積 $V_L$ とは、半田ペーストの体積ではなく、有機物が除去され半田ペーストを構成する半田粉末が溶融および固化されて得られる低融点金属膜16についての体積を意味する。

[0034] 開口6aの形状が柱体(この実施形態の場合は角柱)とみなせる場合は、開口6aの

容積 $V_o$ は、ソルダレジスト膜6を垂直に見下ろす平面視における開口6aの面積と、ソルダレジスト膜6の厚さとの積に等しい。

続いて、基板15が、接合面15aを上に向けられて、ほぼ水平な姿勢で保持される。そして、ヒータを内蔵して加熱することが可能なボンディングツール19により、半導体チップ3が、その機能面3aと反対側の面である裏面3bを吸着されて、保持される。半導体チップ3は、機能面3aが下方に向けられて、基板15の接合面15aに対向される。この状態が、図4に示されている。

[0035] 続いて、半導体チップ3の突起電極13と基板15の低融点金属膜16とが位置合わせされた後、ボンディングツール19が下降され、突起電極13が低融点金属膜16に接触される。ここで、基板15の接続電極14に形成された低融点金属膜16や半導体チップ3の突起電極13が、大きな高さばらつきを有している場合がある。このような場合は、低融点金属膜16と突起電極13とを確実に接続するために、ボンディングツール19により、半導体チップ3に大きな荷重がかけられる。

[0036] そして、この状態で、ボンディングツール19により、半導体チップ3が加熱され、その熱により低融点金属膜16がその固相線温度以上（好ましくは、液相線温度以上）の温度に加熱され、溶融される。その後、ボンディングツール19による加熱が停止され、突起電極13と接続電極14とは、低融点金属膜16の融液が固化してなる接合材10により、電気的に接続されるとともに機械的に接合される。

[0037] ここで、接続電極14の体積 $V_p$ と低融点金属膜16の体積 $V_L$ との和が、開口6aの容積 $V_o$ より小さいことにより、低融点金属膜16やその融液は、開口6a内において、接続電極14の残余の空間に収容される。また、低融点金属膜16は、突起電極13ではなく、開口6a内に配置された接続電極14上に形成されている。このため、低融点金属膜16やその融液は、開口6a外に広がって接合面15aの面内方向に移動しない。その結果、半導体チップ3に大きな荷重がかけられたとしても、この面内方向に隣接する突起電極13や接続電極14が、接合材10により電気的に短絡されて、ショート不良が生じることを防止することができる。

[0038] 次に、基板15と半導体チップ3との隙間に、アンダーフィル層7（図1および図2参照）が充填される。アンダーフィル層7は、たとえば、未硬化（液状）のアンダーフィル

材が、ディスペンサから吐出され、基板15と半導体チップ3との隙間に、毛細管現象により充填された後、硬化(たとえば、熱硬化)されて形成される。

未硬化のアンダーフィル材は、半導体チップ3を接続する前の基板15の接合面15a側に塗布されてもよい。この場合、ボンディングツール19により、半導体チップ3が基板15に押しつけられることにより、低融点金属膜16と突起電極13とは、未硬化のアンダーフィル材を突き抜けて接触させられる。そして、基板15に対する半導体チップ3の接合が完了した後、未硬化のアンダーフィル材を硬化させることにより、アンダーフィル層7が得られる。

[0039] この場合、半導体チップ3を基板15に接合する際、突起電極13を低融点金属膜16に接触させるために、半導体チップ3は、ボンディングツール19により、未硬化のアンダーフィル材が存在しない場合と比べて大きな力で基板15に押しつけられる。この状態で、半導体チップ3がボンディングツール19により加熱され、低融点金属膜16が溶融されても、低融点金属膜16の融液は、開口6a内において、接続電極14の残余の空間に收容されるから、接合面15aの面内方向に隣接する接続電極14や突起電極13が、接合材10により短絡されることが防止される。

[0040] その後、基板15が配線基板2の個片に切断され、配線基板2の端部に端面電極8が形成されて、図1に示す半導体装置1が得られる。

本発明の実施形態の説明は以上の通りであるが、本発明は、別の形態でも実施できる。たとえば、配線基板2には、2つ以上の半導体チップ3がフリップチップ接続されていてよい。

[0041] この発明の半導体装置のパッケージ形態は、図1に示す半導体装置1のように端面電極8を外部接続部材とするものに限られず、他の形態であってもよい。図5は、半導体装置1の変形例を示す図解的な断面図である。図2において、図1に示す各部に対応する部分には、図2と同じ参照符号を付している。

この半導体装置21は、外部接続部材として、半導体装置1の端面電極8の代わりに金属ボール23を、外部接続面22b(半導体チップ3が接続された接合面22aと反対側の面)に備えている。金属ボール23は、配線基板22の内部および／または表面で再配線されて、接続部材5に電氣的に接続されている。この半導体装置21は、

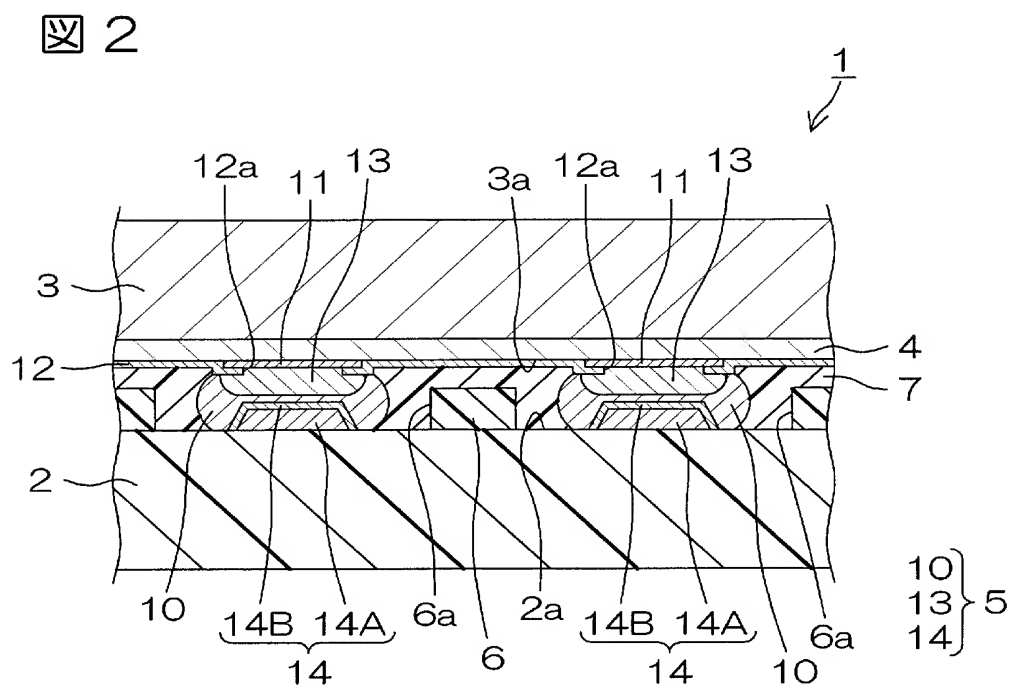
金属ボール23を介して、他の配線基板に接合できる。

[0042] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

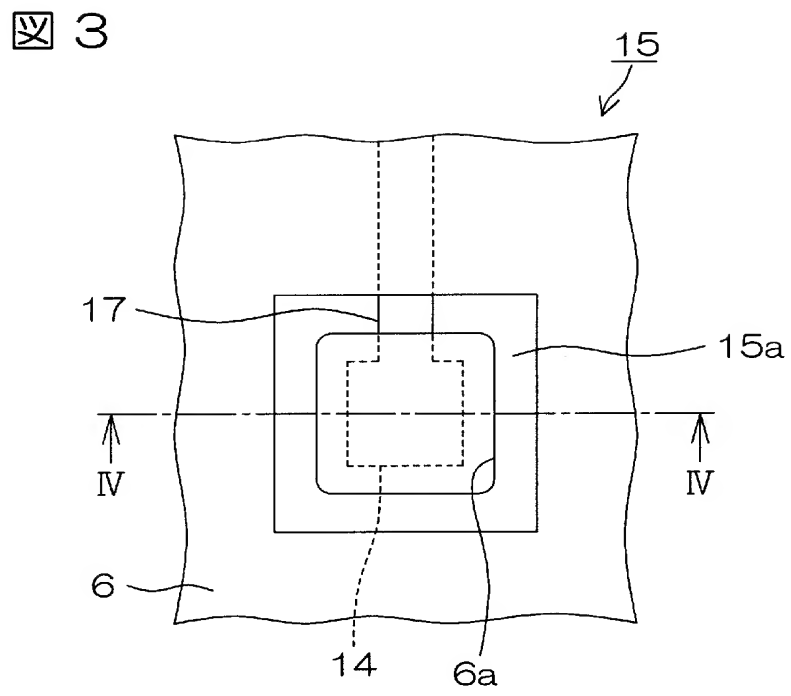
この出願は、2004年9月29日に日本国特許庁に提出された特願2004-284681に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

### 請求の範囲

- [1] 半導体チップがその表面を対向させて接合される配線基板であって、  
半導体チップが接合される接合面に形成され、当該半導体チップとの接続のための接続電極と、  
上記接合面に形成され、上記接続電極を露出させるための開口を有する絶縁膜と、  
、  
上記開口内において上記接続電極上に設けられ、上記接続電極よりも固相線温度の低い低融点金属材料からなる低融点金属部とを含む、配線基板。
- [2] 上記開口内の容積は、上記接続電極の体積と上記低融点金属部の体積との和よりも大きい、請求項1記載の配線基板。
- [3] 配線基板と、  
機能素子が形成された表面にその機能素子と電気的に接続された突起電極を有し、上記配線基板の接合面に対して表面を対向させて接合される半導体チップとを含む、  
上記配線基板が、  
上記接合面に形成され、当該半導体チップとの接続のための接続電極と、  
上記接合面に形成され、上記接続電極を露出させるための開口を有する絶縁膜と、  
、  
上記開口内において上記接続電極上に設けられ、上記接続電極よりも固相線温度の低い低融点金属材料からなる低融点金属部とを有する、半導体装置。



[図3]

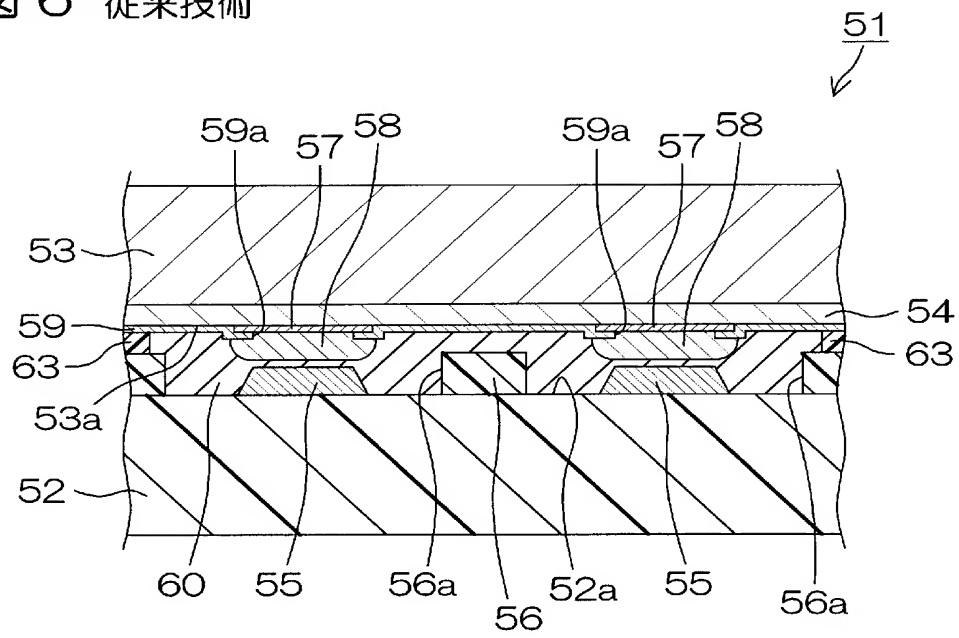






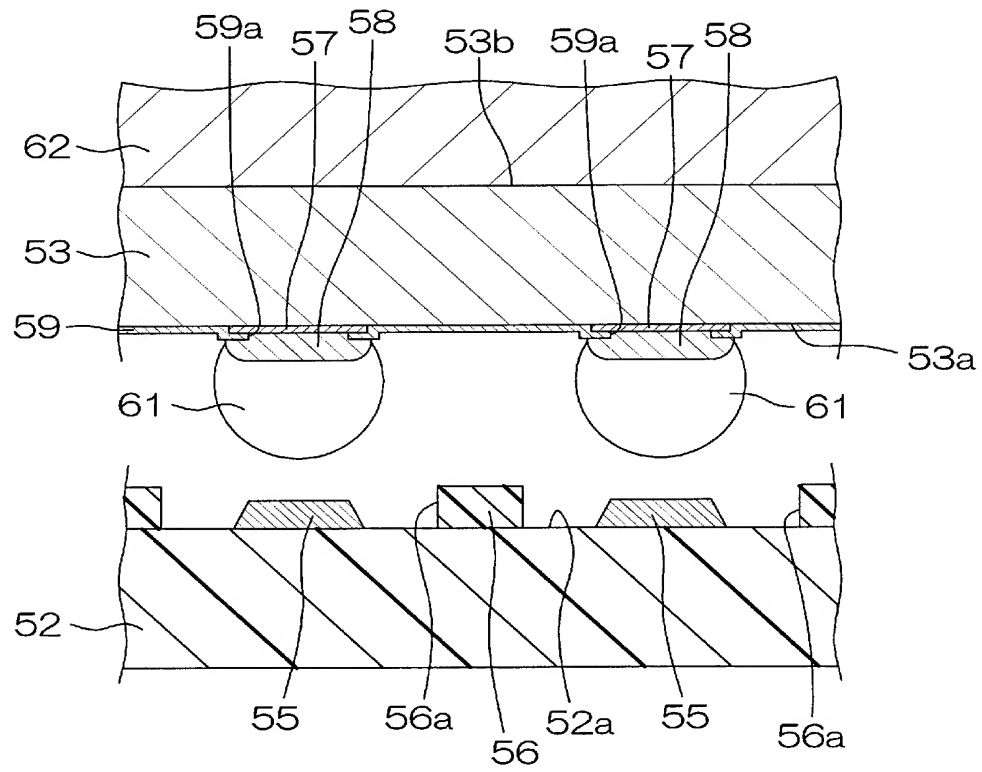
[図6]

図 6 従来技術



[図7]

図 7 従来技術



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/014294

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L21/60, H05K3/34

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L21/60, H05K3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-082759 A (Casio Computer Co., Ltd.), 28 March, 1997 (28.03.97), Par. Nos. [0010] to [0012]; Fig. 2 (Family: none)	1-3
X	JP 49-033564 A (Hitachi, Ltd.), 28 March, 1974 (28.03.74), Full text; Figs. 1 to 4 (Family: none)	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search

25 August, 2005 (25.08.05)

Date of mailing of the international search report

13 September, 2005 (13.09.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/60, H05K3/34

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/60, H05K3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-082759 A (カシオ計算機株式会社) 1997. 03. 28, 【0010】-【0012】, 図 2 (ファミリーなし)	1-3
X	JP 49-033564 A (株式会社日立製作所) 1974. 03. 28, 全文, 第 1-4 図 (ファミリーなし)	1-3

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

25. 08. 2005

国際調査報告の発送日

13. 9. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤

電話番号 03-3581-1101 内線 3471

4 R

9544